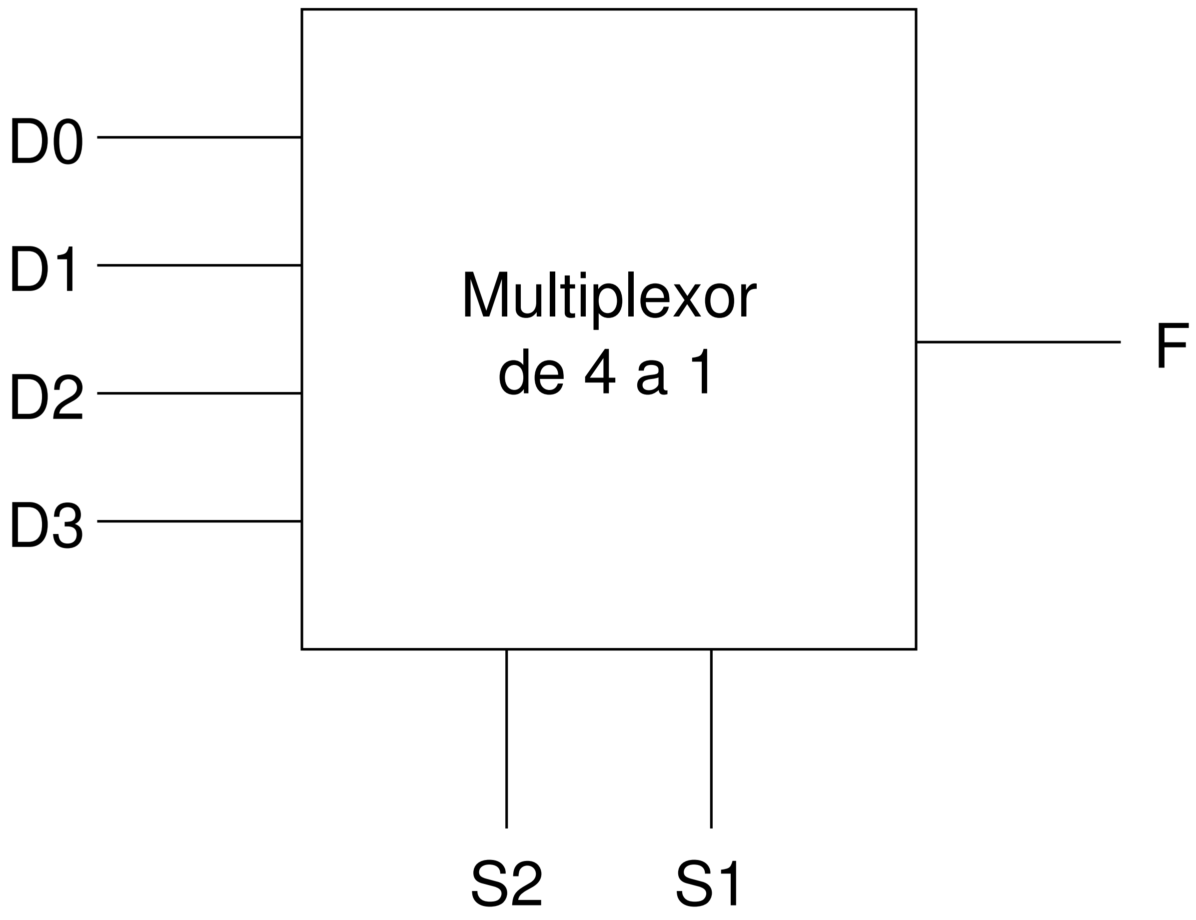
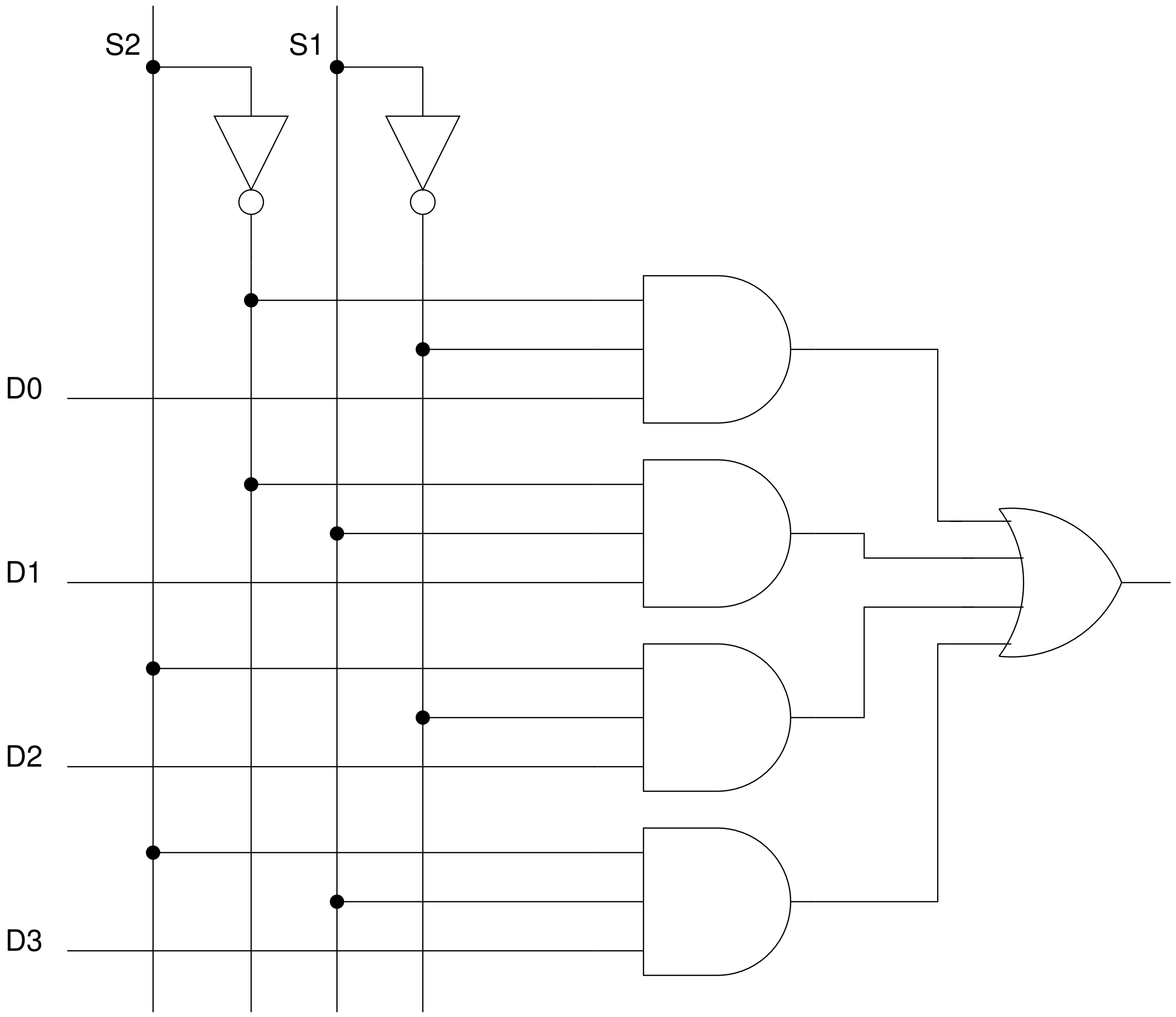
Lógica digital

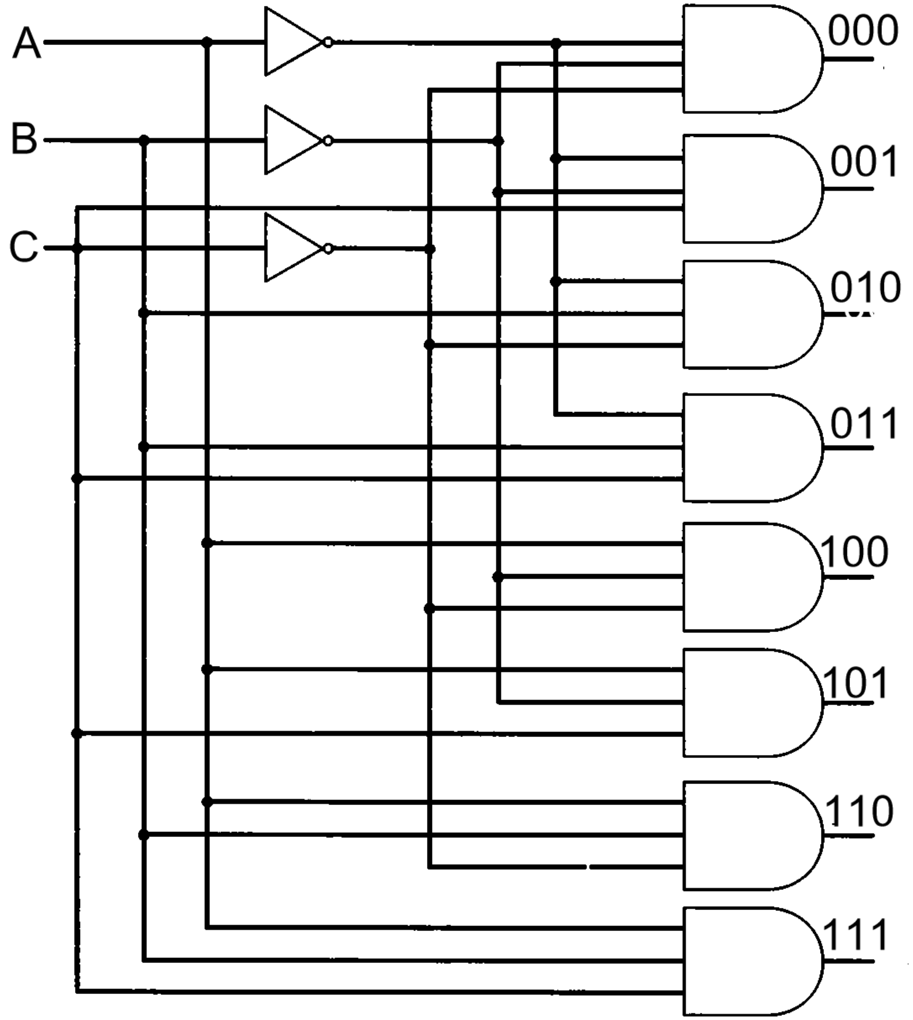
Representación de un Multiplexor de 4 a 1



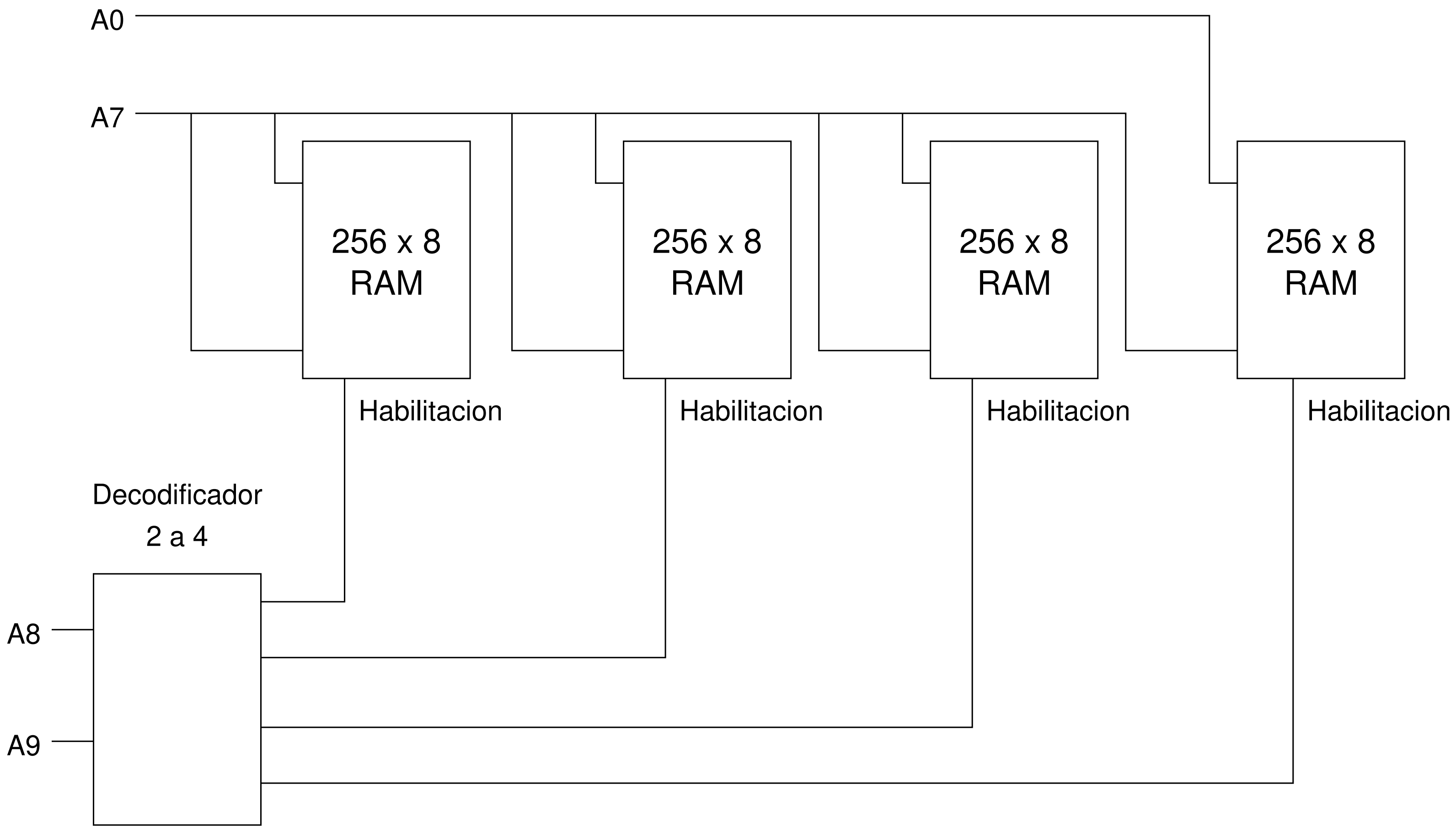
Implementación de un multiplexor



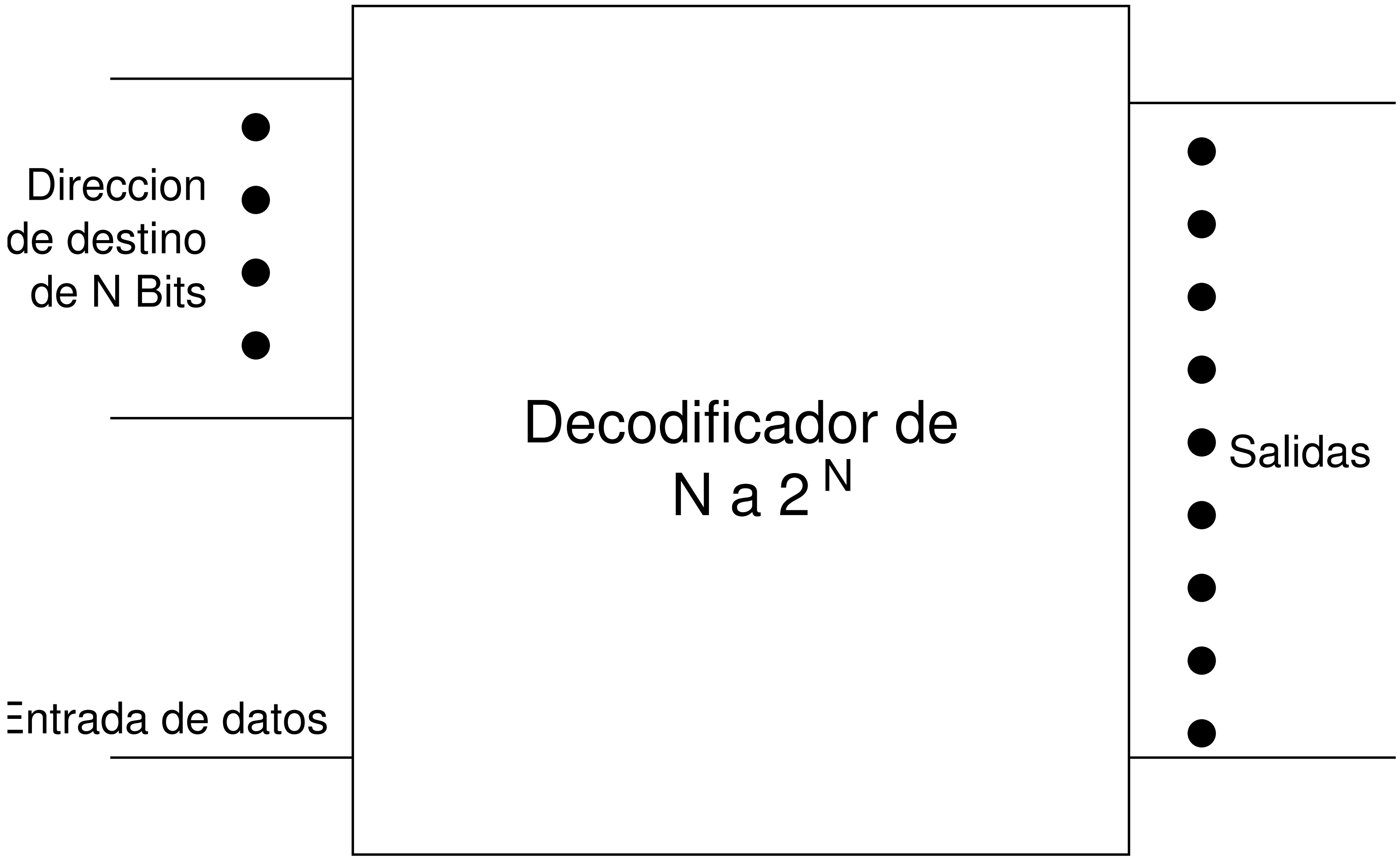
Decodificador con 3 entradas y $2^3 = 8$ salidas



Decodificación de una dirección



Implementación de un demultiplexor usando un decodificador



Trazado de un PLA de 3 entradas y 2 salidas

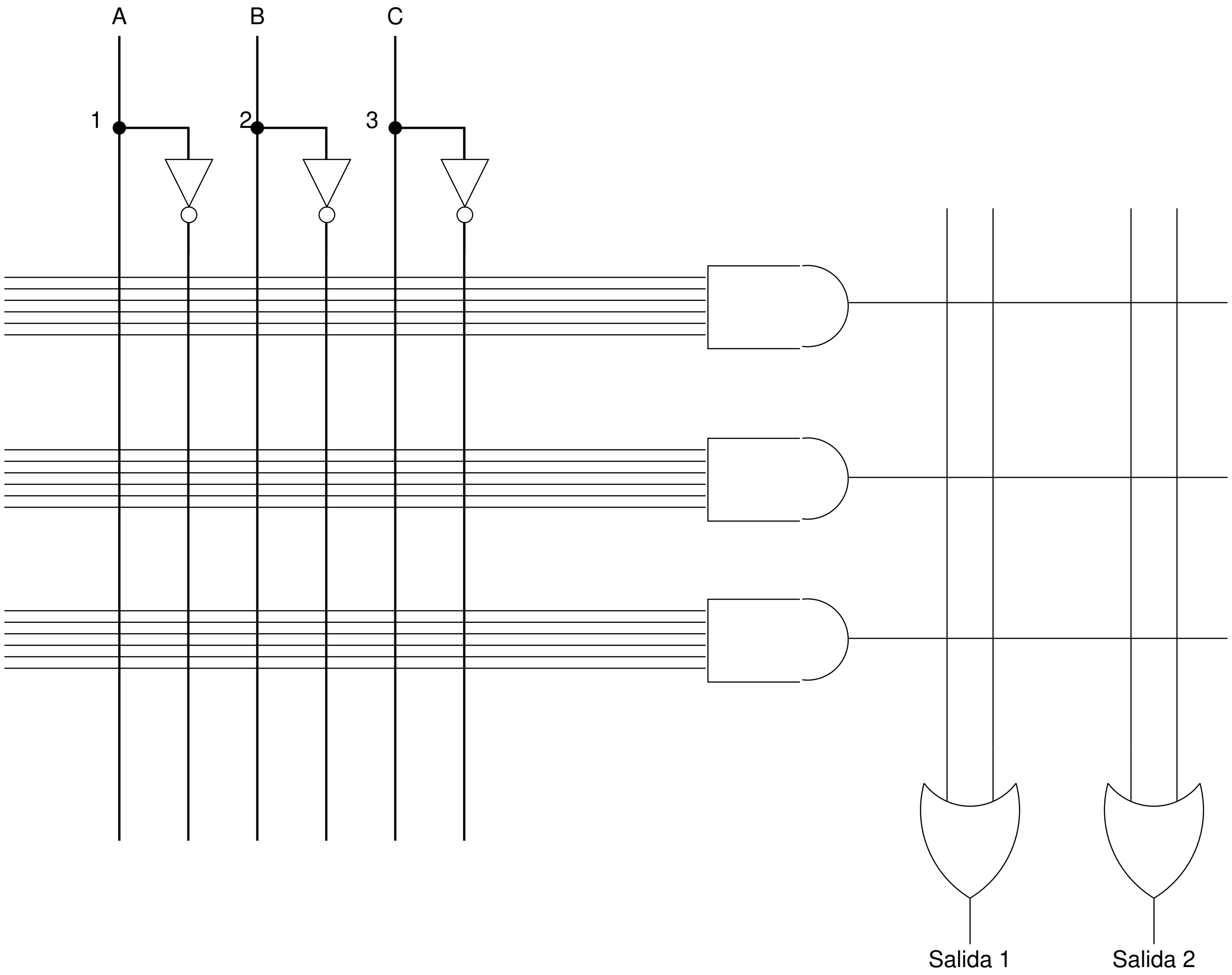


Tabla de verdad de una ROM

Entrada				Salida			
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

ROM de 64 bits

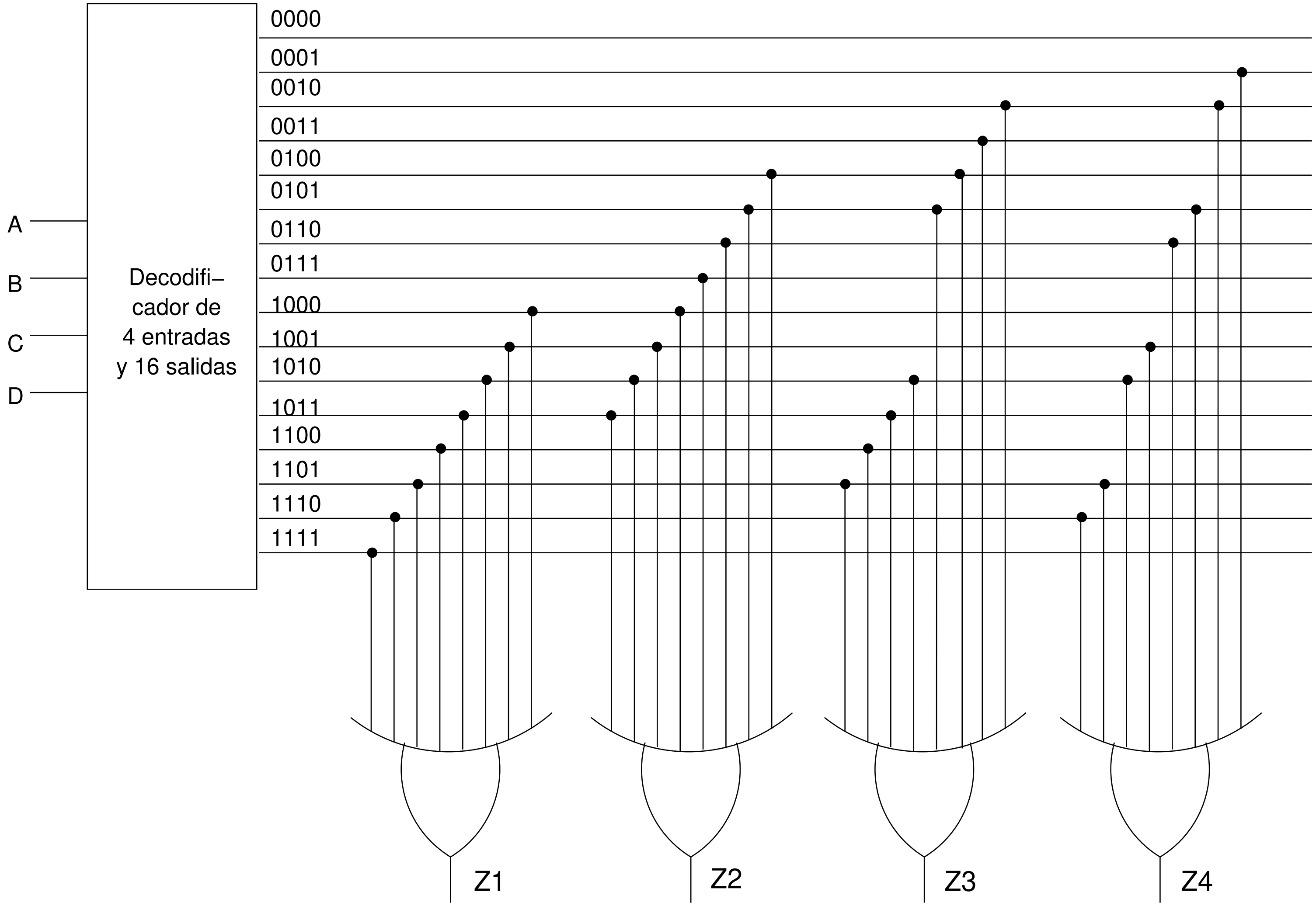
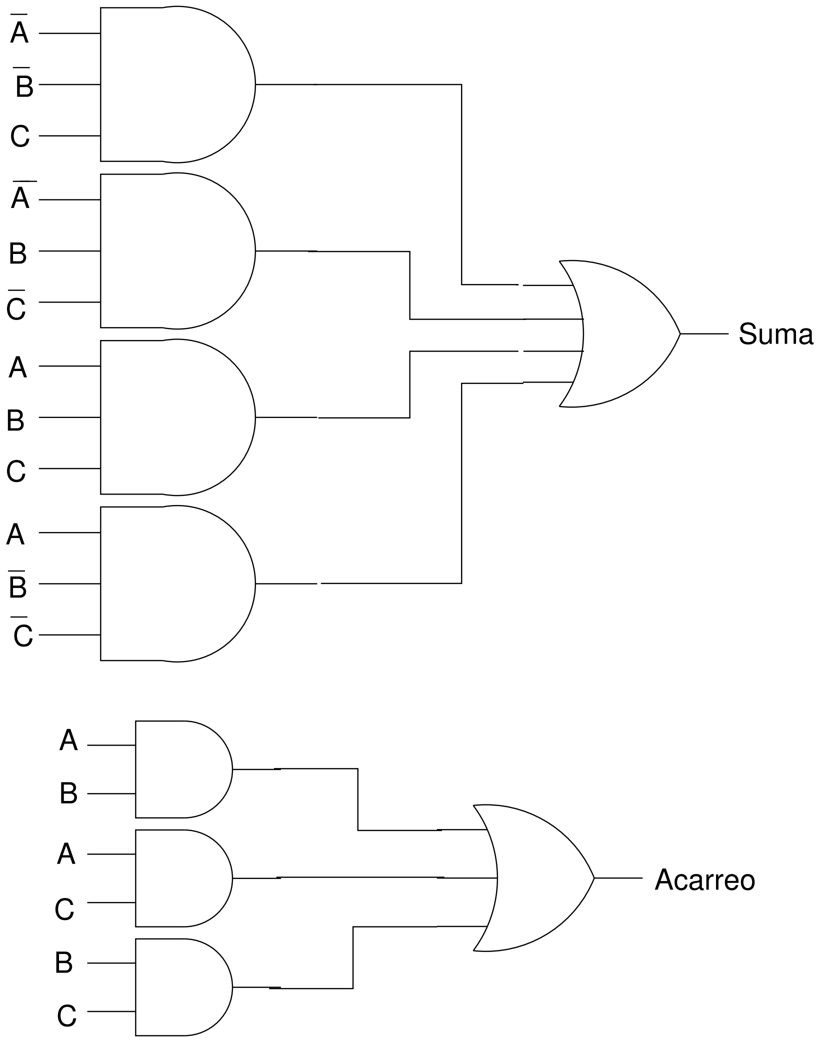


Tabla de verdad de la suma binaria

(a) Suma de 1 bit aislado				(b) Suma con acceso a la entrada				
A	B	Suma	Acceso	C_{in}	A	B	Suma	C_{out}
0	0	0	0	0	0	0	0	0
0	1	1	0	0	0	1	1	0
1	0	1	0	0	1	0	1	0
1	1	0	1	0	1	1	0	1
				1	0	0	1	0
				1	0	1	0	1
				1	1	0	0	1
				1	1	1	1	1

Implementación de un sumador



Circuitos Secuenciales

Los circuitos combinacionales implementan las funciones esenciales de un computador digital. Sin embargo, excepto para el caso de la ROM, no proporcionan memoria o inforamción de estado.

En un circuito secuencial la salida actual depende no sólo de la entrada actual, sino también de la historia pasada de las entradas, esto es, la salida actual de un circuito secuencial depende de la entrada actual y del estado actual del circuito.

Biestables

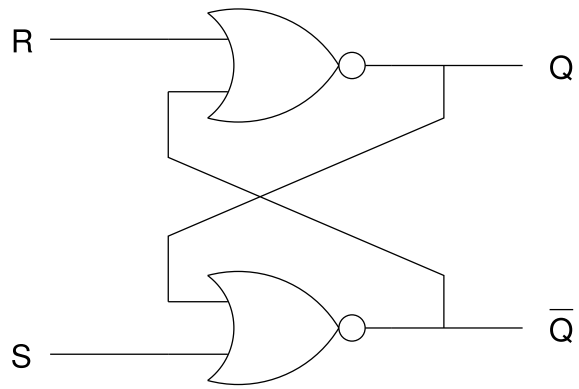
El circuito secuencial más sencillo es el biestable, hay varios tipos y comparten las siguientes propiedades:

- El biestable es un dispositivo con dos estados. Está en 1 de 2 estados, en ausencia de entrada, recuerda el último estado, por lo tanto, puede funcionar como una memoria de 1 bit.
- El biestable tiene dos salidas, que son siempre complementarias. Normalmente se denominan *Q* y *Q'*.

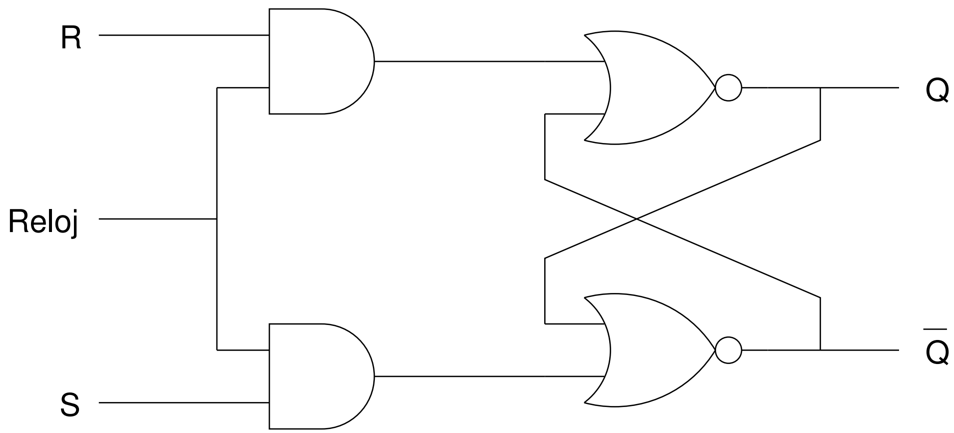
El cerrojo (”latch”) *S-R*

El circuito tiene dos entradas, S (set o ajustar) y R (reset o restaurar), y dos salidas, *Q* y *Q’*, y consiste en dos puertas NOR conectadas por retroalimentación.

Biestables S-R



Implementacion del biestable S−R con puertas NOR



Biestable S−R Sincrono

Diagrama de tiempo del biestable S-R con NOR

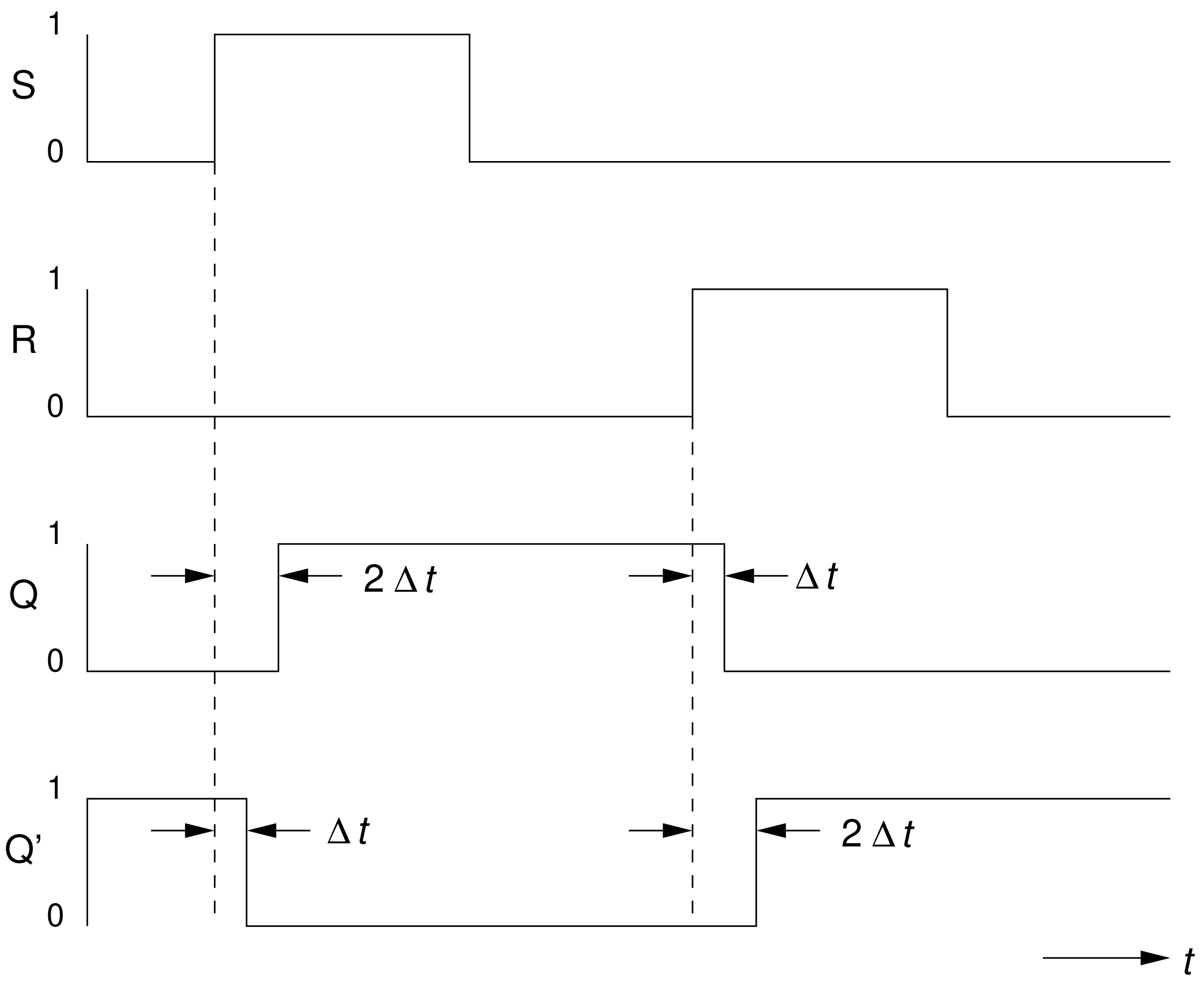


Tabla característica del cerrojo (latch) S-R

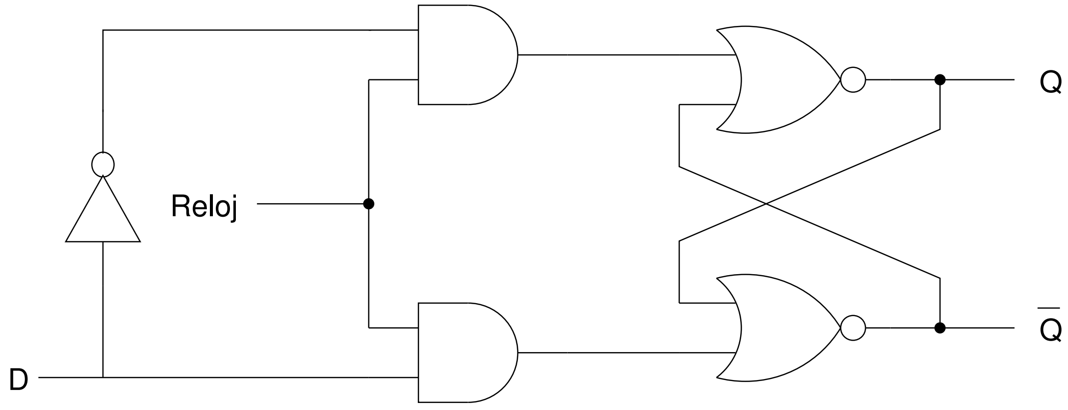
(a) Tabla característica			(b) Tabla característica simplificada		
Entrada actual	Estado actual	Estado siguiente			
SR	Q_n	Q_{n+1}	S	R	Q_{n+1}
00	0	0	0	0	Q_n
00	1	1	0	1	0
01	0	0	1	0	1
01	1	0	1	1	–
10	0	1			
10	1	1			
11	0	–			
11	1	–			

Tabla característica del cerrojo (latch) S-R

Respuesta a varias entradas

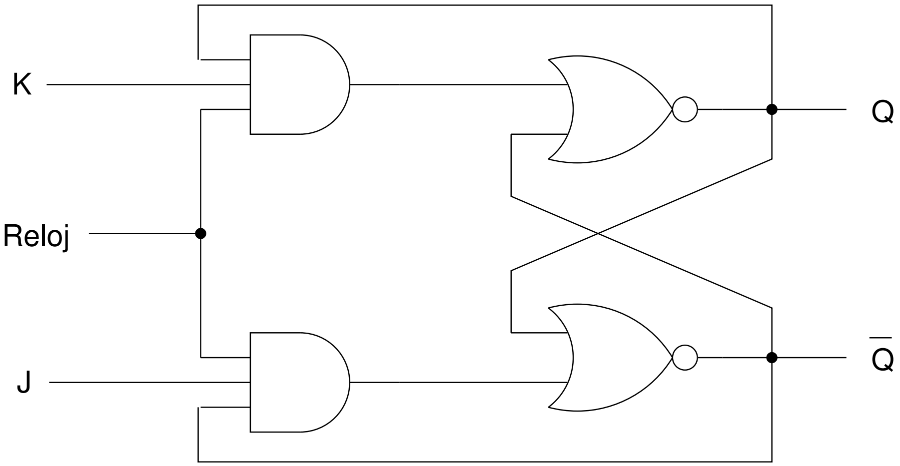
t	0	1	2	3	4	5	6	7	8	9
S	1	0	0	0	0	0	0	0	1	0
R	0	0	0	1	0	0	1	0	0	0
Q_{n+1}	1	1	1	0	0	0	0	0	1	1

Biestables D y J-K



D	Q_{n+1}
0	0
1	1

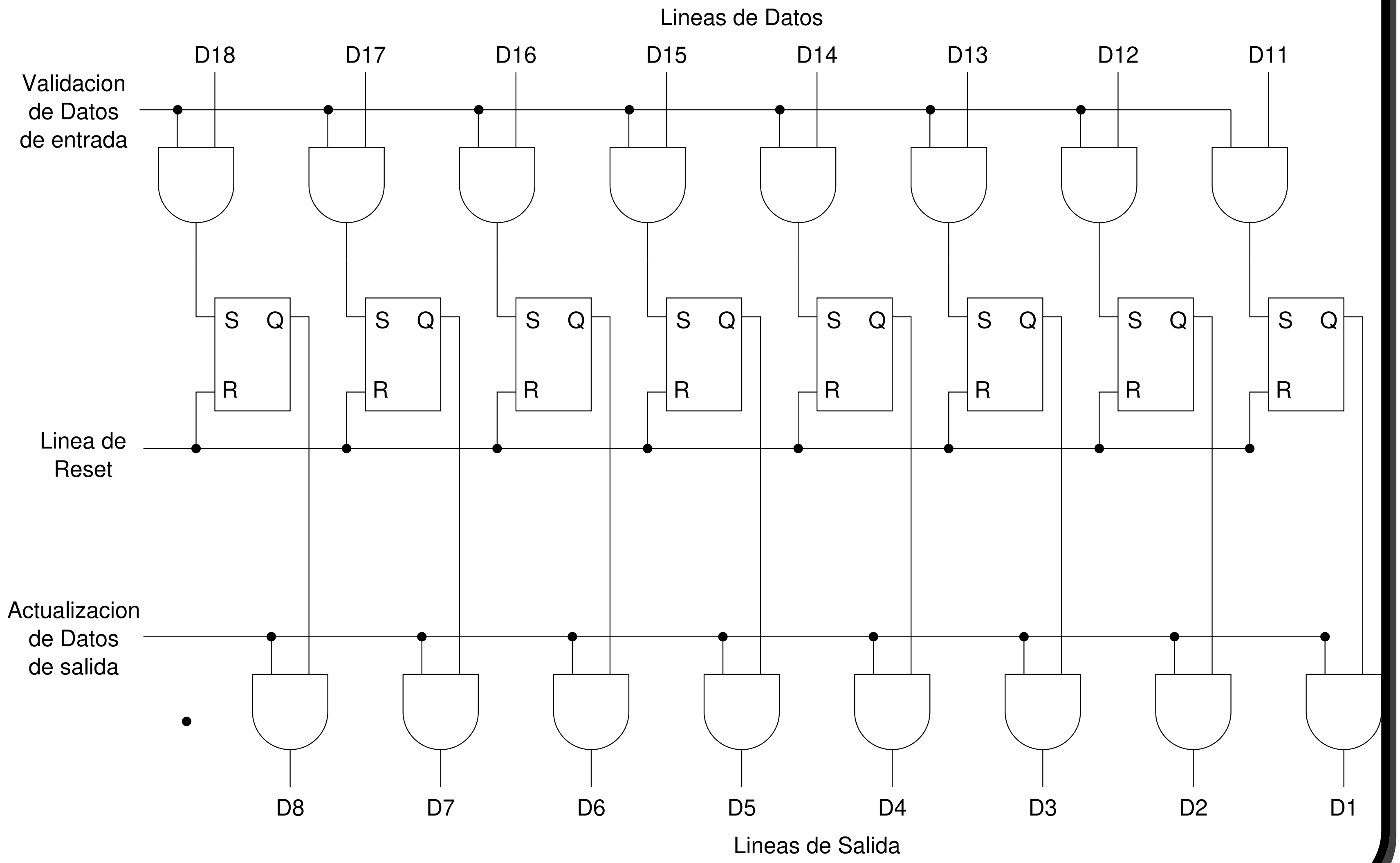
Biestable D



J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	Q'_n

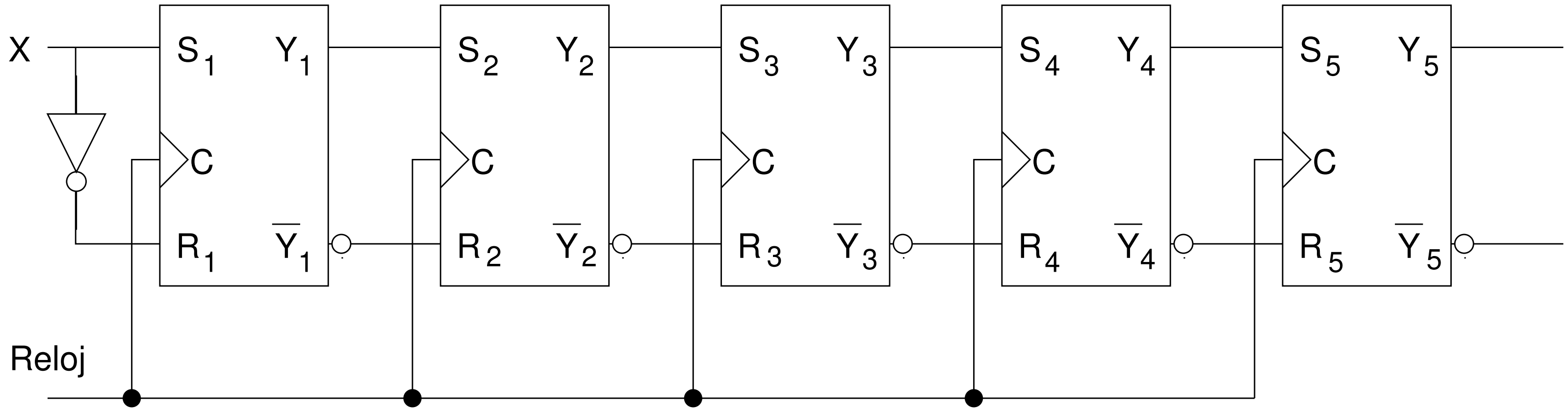
Biestable J–K

Registro Paralelo de 8 bits

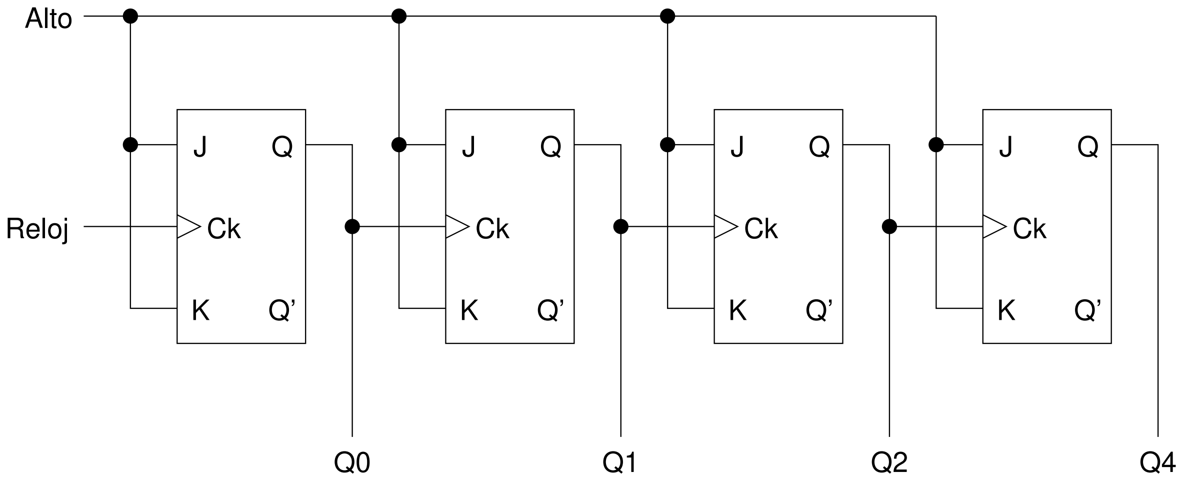


Registro de desplazamiento de 5 bits

Acepta y transfiere información vía serie. Los datos se introducen únicamente a través del biestable que está más a la izquierda.



Contador asincrono



Circuito Secuencial

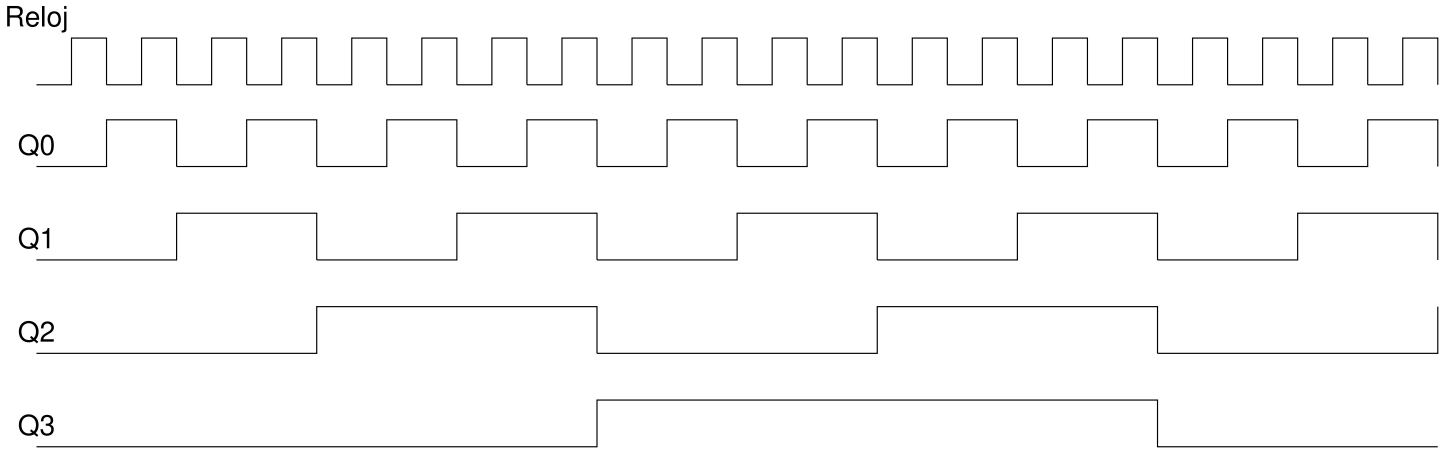


Diagrama de Tiempo

Tabla de excitación para un Flip-Flop J-K

Tabla característica

Q	J	K	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Tabla de Excitación

Q	J	K	$Q(t+1)$
0	0	d	0
0	1	d	1
1	d	0	1
1	d	1	0

Diseño de un contador síncrono de 3 bits

Tabla de Verdad

A	B	C	J_a	K_a	J_b	K_b	J_c	K_c
0	0	0	0	d	0	d	1	d
0	0	1	0	d	1	d	d	1
0	1	0	0	d	d	0	1	d
0	1	1	1	d	d	1	d	1
1	0	0	d	0	0	d	1	d
1	0	1	d	0	1	d	d	1
1	1	0	d	0	d	0	1	d
1	1	1	d	1	d	1	d	1