Buses del Sistema

Bus PCI (Peripheral Component Interconnect)

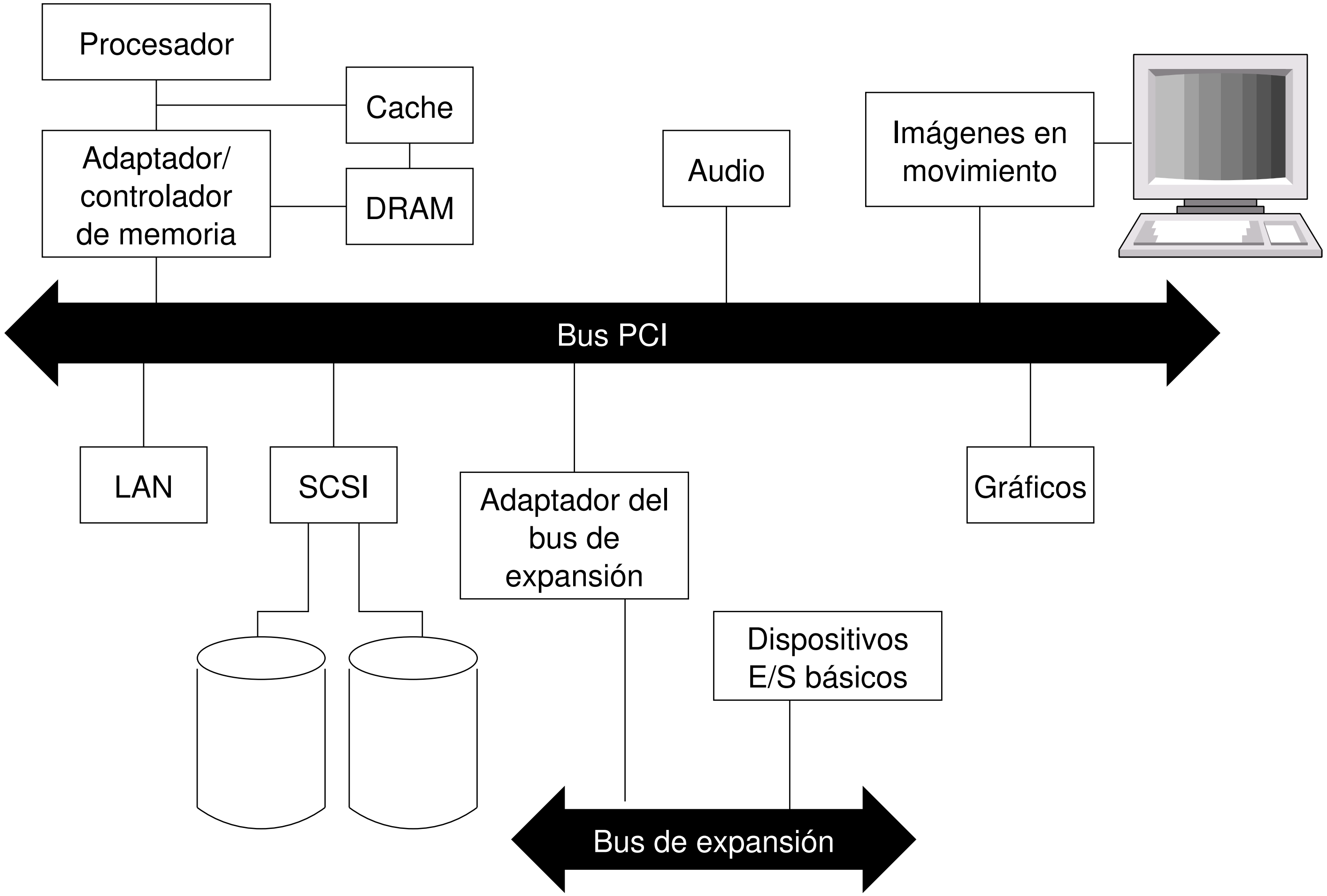
Desarrollado por Intel en 1990 para sus sistemas basados en el procesador Pentium, el diseño original era similar al Bus Local VESA. Intel cede sus patentes al dominio público y promovió la creación de la asociación industrial PCI SIG, para continuar el desarrollo y mantener la compatibilidad, con lo que se adoptó ampliamente y su uso es tanto en computadoras personales, estaciones de trabajo y servidores gracias a su diseño para permitir una cierta variedad de configuraciones (1 o varios procesadores).

La versión 2.0 apareció en 1993. Emplea temporización síncrona y un esquema de arbitraje centralizado

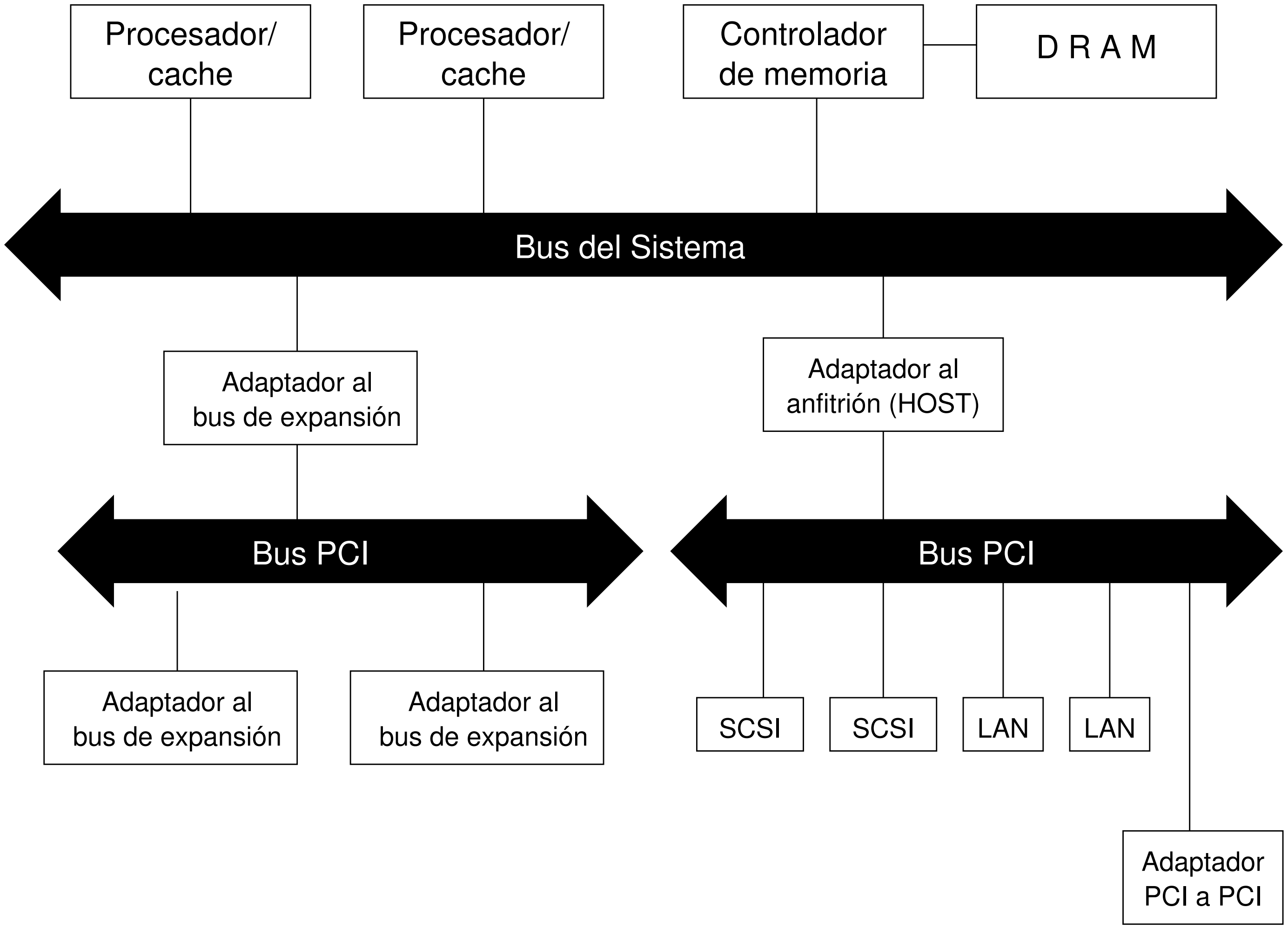
Características

- Ancho de banda elevado, independiente del procesador.
- Se puede utilizar como bus de periféricos o bus para una arquitectura de entreplanta (se emplea con Procesadores Pentium y PowerPC).
- Uso de hasta 64 líneas de datos a 33 Mhz en una conexión de 188 pins, para una transferencia de 264 Mb/s o 2.112 Gb/s.
- Se ajusta con un buen precio a los requisitos de E/S de los sistemas actuales.
- Implementación con pocos circuitos integrados.
- Permite la conexión de otros buses.

Sistema Típico de Sobremesa (uniprocesador)



Sistema Típico de Servidor



Líneas obligatorias del Bus

DENOMINACIÓN	TIPO	DESCRIPCIÓN
		Terminales del sistema
CLK	in	Proporciona la temporización para todas las transacciones y es muestreada en el flanco de subida.
RST#	in	Hace que todos los registros, secuenciadores y señales pasen a su estado inicial.
		Terminales de Direcciones y Datos
AD[31:0]	t/s	Líneas multiplexadas para direcciones y datos.
C/BE[3:0]#	t/s	Señales multiplexadas de órdenes del bus y de byte activo (”byte enable”). Durante la fase de datos indica cual de los 4 grupos de líneas de byte transporta información válida.
PAR	t/s	Paridad para las líneas AD y C/BE, un ciclo de reloj después. El maestro da PAR para la dirección y escritura de datos, en lectura por el dispositivo de lectura.
		Terminales de Control de Interfaz
FRAME#	s/t/s	Dadas por el maestro actual para indicar el comienzo y la duración de la transferencia. Se desactivan cuando el maestro está preparado para empezar el final de los datos.

Líneas obligatorias del Bus

DENOMINACIÓN	TIPO	DESCRIPCIÓN
IRDY#	s/t/s	Iniciador preparado (”Initiator Ready”). Dada por el maestro actual del bus. En la lectura indica que el maestro está preparado para aceptar datos y en escritura que el dato válido está en AD.
TRDY#	s/t/s	Dispositivo Preparado (”Target Ready”). La da el dispositivo seleccionado. En la lectura el dato válido está en AD, durante una escritura que está preprado para aceptar datos.
STOP#	s/t/s	Indica que el dispositivo seleccionado desea que el maestro pare la transacción actual.
LOCK#	s/t/s	Indica una operación atómica indivisible que puede requerir varias transferencias.
IDSEL	in	Selector de Inicio de Dispositivo (”Initialization Device Select”). Usada como señal de selección de circuito durante las lecturas y escrituras de configuración.

Líneas obligatorias del Bus

DENOMINACIÓN	TIPO	DESCRIPCIÓN
DEVSEL#	in	Selector de Dispositivo ("Device Select"). Activada por el dispositivo seleccionado cuando ha reconocido su dirección. Indica al maestro actual si se ha seleccionado un dispositivo
		Terminales de Arbitraje
REQ#	t/s	Indica al árbitro que el dispositivo correspondiente solicita utilizar el bus. Es una línea punto-a-punto específica para cada dispositivo.
GNT#	t/s	Indica al dispositivo que el árbitro le ha cedido el acceso al bus. Es una línea punto-a-punto específica para cada dispositivo.
		Terminales para Señales de Error
PERR#	s/t/s	Error de Paridad. Indica que se ha detectado un error de paridad en los datos por parte del dispositivo en el caso de una escritura, o por parte del maestro en el caso de una lectura.
SERR#	s/t/s	Error del Sistema. La puede activar cualquier dispositivo para comunicar errores de paridad en la dirección u otro tipo de errores críticos distintos de la paridad.

Grupos Funcionales de Terminales

- *De Sistema* Las terminales de reloj y de inicio.
- *De Direcciones y Datos* 32 líneas para datos y direcciones multiplexadas, el resto se usan para interpretar y validar las líneas.
- *De Control de Interfaz* Controlan la temporización de las transferencias y proporcionan coordinación entre los que las inician y los destinatarios.
- *De Arbitraje* No son líneas compartidas. Cada maestro del PCI tiene su par propio de líneas que lo conectan directamente al árbitro del bus PCI.
- *Para Señales de Error* Para indicar errores de paridad, u otros.

Grupos Opcionales

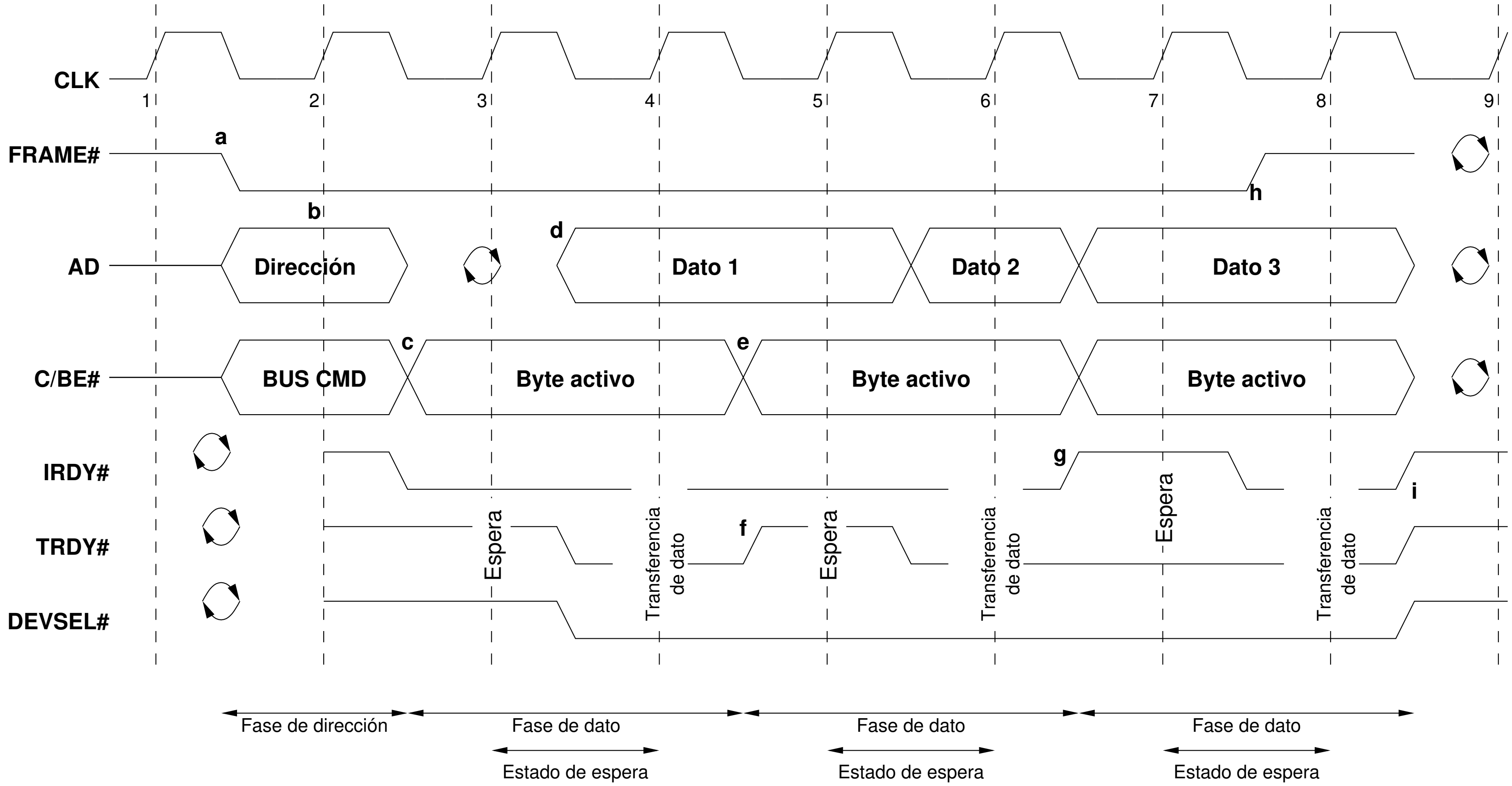
- *De Interrupción* Usadas por los dispositivos PCI que deben generar peticiones de servicio. No son líneas compartidas, cada dispositivo tiene su propia línea(s) de petición a un controlador de interrupciones.
- *De Soporte de Cache* Necesarias para permitir memorias cache en el bus PCI asociadas a un procesador u otro dispositivo.
- *De extensión a Bus de 64 Bits* Incluye 32 líneas multiplexadas en el tiempo para direcciones y datos más líneas obligatorias para interpretar y validar. Existen también dos líneas adicionales para permitir que dos dispositivos PCI se pongan de acuerdo para usar los 64 bits.
- *De Prueba (JTAG/Boundary Scan)* Cumplen el estándar IEEE 149.1 para la definición de procedimientos de test.

Órdenes del PCI

La actividad del bus consiste en transferencias entre dos elementos, denominándose maestro al que inicia la transacción. Cuando un maestro adquiere el control del bus, determina el tipo de transferencia que se dará a continuación. En el direccionamiento de transferencia, se utilizan las líneas C/BE para indicar el tipo de órden:

Reconocimiento de Interrupción	Ciclo especial
Lectura de E/S	Escritura de E/S
Lectura de Memoria	Lectura de Línea de Memoria
Lectura Múltiple de Memoria	Escritura en Memoria
Escritura e Invalidación de Memoria	Lectura de Configuración
Escritura de Configuración	Ciclo de Dirección Dual

Operación de Lectura en el Bus PCI



Arbitraje

El bus PCI utiliza un esquema de **arbitraje centralizado síncrono** en donde cada maestro tiene una señal única de petición (REQ) y cesión (GNT) del bus. Estas líneas se conectan a un árbitro central y se utiliza un simple intercambio de las señales de petición y cesión para permitir el acceso al bus.

No se indica algún algoritmo de arbitraje dentro de la especificación del PCI, y se puede usar *1o. en llegar, 1o. en servirse*, *cesión cíclica (round-robin)* o cualquier otro. Es el maestro del PCI el que establece el número de fases de datos consecutivas después de una fase de dirección.

Arbitraje entre dos maestros del bus PCI